

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-115495

(P2015-115495A)

(43) 公開日 平成27年6月22日(2015.6.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 E	5 E 3 1 9
HO 1 L 25/07 (2006.01)	HO 5 K 3/34 5 1 2 Z	5 F 0 4 4
HO 1 L 25/18 (2006.01)	HO 1 L 21/60 3 0 1 A	
HO 5 K 3/34 (2006.01)		
HO 1 L 21/60 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2013-257222 (P2013-257222)
 (22) 出願日 平成25年12月12日 (2013.12.12)

(71) 出願人 598015084
 学校法人福岡大学
 福岡県福岡市城南区七隈8丁目19番1号
 (71) 出願人 504369731
 ケイレックス・テクノロジー株式会社
 東京都中央区入船1丁目1番26号
 (74) 代理人 100099634
 弁理士 平井 安雄
 (72) 発明者 友景 肇
 福岡県福岡市城南区七隈八丁目19番1号
 学校法人福岡大学内
 (72) 発明者 川瀬 英路
 東京都中央区入船一丁目1番26号 ケイ
 レックス・テクノロジー株式会社内
 Fターム(参考) 5E319 AA03 BB05 CC33 CD60 GG20
 5F044 AA12 AA18 DD02

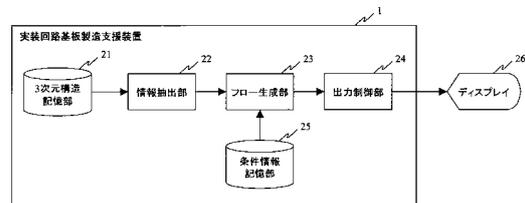
(54) 【発明の名称】 実装回路基板製造支援装置、その方法及びプログラム

(57) 【要約】

【課題】 3次元構造の情報に基づいて製造フローを自動生成することができる実装回路基板製造支援装置等を提供する。

【解決手段】 例えば、SiPや部品内蔵基板のような実装回路基板の3次元構造の情報を記憶する3次元構造記憶部21と、前記3次元構造の情報から前記実装回路基板の高さ方向の構造に関する高さ情報を抽出する情報抽出部22と、抽出した情報に基づいて、前記製造工程の順序を特定するフロー生成部23と、特定された前記製造工程の順序を出力する出力制御部24とを備える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

実装回路基板の 3 次元構造の情報を記憶する 3 次元構造記憶手段と、
前記 3 次元構造の情報から前記実装回路基板の高さ方向の構造に関する高さ情報を抽出する情報抽出手段と、
抽出した情報に基づいて、前記製造工程の順序を特定する工程順序特定手段と、
特定された前記製造工程の順序を出力する出力手段とを備えることを特徴とする実装回路基板製造支援装置。

【請求項 2】

請求項 1 に記載の実装回路基板製造支援装置において、
前記情報抽出手段が、前記実装回路基板の 2 次元平面上における構成要素の分布に関する 2 次元分布情報を抽出し、前記工程順序特定手段が、前記 2 次元分布情報における前記高さ情報に基づいて、前記製造工程の順序を特定することを特徴とする実装回路基板製造支援装置。

10

【請求項 3】

請求項 2 に記載の実装回路基板製造支援装置において、
前記工程順序特定手段が、前記構成要素を配置する配置手段の移動方向、並びに、前記 2 次元分布情報及び前記高さ情報に基づいて、前記製造工程の順序を特定することを特徴とする実装回路基板製造支援装置。

【請求項 4】

請求項 1 ないし 3 のいずれかに記載の実装回路基板製造支援装置において、
製造対象となる実装回路基板が SiP(System in a Package) であり、
前記情報抽出手段が、ワイヤボンディングの打点位置の情報を抽出し、
前記工程順序特定手段が、抽出された前記打点位置の高さ方向の情報に基づいて、ワイヤボンディングの処理の継続性を判定し、前記製造工程の順序を特定することを特徴とする実装回路基板製造支援装置。

20

【請求項 5】

請求項 1 ないし 4 のいずれかに記載の実装回路基板製造支援装置において、
製造対象となる実装回路基板が SiP であり、
前記情報抽出手段が、ワイヤボンディングの打点位置の情報と、当該ワイヤボンディングの打点の上に積層される上段チップの位置及びサイズの情報とを抽出し、
前記工程順序特定手段が、前記打点位置と前記上段チップの位置及びサイズとの関係に基づいて、前記ワイヤボンディングの工程及び前記上段チップの積層工程の順序を特定することを特徴とする実装回路基板製造支援装置。

30

【請求項 6】

請求項 1 ないし 3 のいずれかに記載の実装回路基板製造支援装置において、
製造対象となる実装回路基板が部品内蔵基板であり、
前記情報抽出手段が、内蔵される部品と当該部品に接続する配線との接合位置を抽出し、
前記工程順序特定手段が、抽出された前記接合位置に基づいて、前記部品の実装工程の順序を特定することを特徴とする実装回路基板製造支援装置。

40

【請求項 7】

請求項 1 ないし 3 のいずれか又は 6 に記載の実装回路基板製造支援装置において、
製造対象となる実装回路基板が部品内蔵基板であり、
前記情報抽出手段が、上層側表面に配置される部品の点数と、下層側表面に配置される部品の点数とを抽出し、
前記工程順序特定手段が、前記部品の点数が多い方を優先してリフロー工程を行うように前記製造工程の順序を特定することを特徴とする実装回路基板製造支援装置。

【請求項 8】

コンピュータが、

50

実装回路基板の3次元構造の情報を記憶する3次元構造記憶手段から、前記実装回路基板の高さ方向の構造に関する高さ情報を抽出する情報抽出ステップと、

抽出された情報に基づいて、前記製造工程の順序を特定する工程順序特定ステップと、特定された前記製造工程の順序を出力する出力ステップとを実行することを特徴とする実装回路基板製造支援方法。

【請求項9】

実装回路基板の3次元構造の情報を記憶する3次元構造記憶手段、前記3次元構造の情報から前記実装回路基板の高さ方向の構造に関する高さ情報を抽出する情報抽出手段、

抽出した情報に基づいて、前記製造工程の順序を特定する工程順序特定手段、

特定された前記製造工程の順序を出力する出力手段としてコンピュータを機能させることを特徴とする実装回路基板製造支援プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、3次元情報に基づいて製造フローを自動生成する実装回路基板製造支援装置に関する。

【背景技術】

【0002】

例えば、SiP(System in a Package)や部品内蔵基板等の製品を製造する場合、通常はプロセス設計者が、設計情報に基づいて製造フローを作成し、製造者はその製造フローにしたがって各製造工程を実行して製品が製造される。製造フローを作成する際には、設計に関する深い知識に加え、製造工程や製造装置に関する知識も必要となり、プロセス設計者の負担が大きくなると共に、熟練の知識や経験が必要となる。

【0003】

プロセスデータの作成や編集に関する技術として、例えば特許文献1に示す技術が開示されている。特許文献1に示す技術は、製造プロセスの各工程で用いられる製造装置に指示を行い或いは前記製造装置の制御を行う生産管理システム2と、前記製造プロセスの各工程のシミュレーションを実行するシミュレーションシステム3と、前記生産管理システムと前記シミュレーションシステムの双方の入力データとして使用が可能なプロセスデータを格納する記憶装置及び前記プロセスデータの編集を行う編集装置を備えたプロセスデータ作成システム1とを有し、製品開発にシミュレーションの効果的な活用ができ、製品製造に関する技術的なノウハウやシミュレーション上のノウハウを一括して容易にデータベース化できるものである。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平10-335193号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に示す技術は、プロセスデータの作成編集を簡易に行うことが示されているが、一連の工程順序を技術者が指定し、作成しようとしているプロセスデータに近いものをデータベースから取り出して適宜編集等を行うため、プロセスデータの作成が簡素化されているものの、自動化されているものではない。また、3次元の設計データを使ってプロセスデータを生成できるような技術でもない。

【0006】

本発明は、3次元構造の情報に基づいて製造フローを自動生成することができる実装回路基板製造支援装置、その方法及びプログラムを提供する。

【課題を解決するための手段】

10

20

30

40

50

【0007】

本発明に係る実装回路基板製造支援装置は、実装回路基板の3次元構造の情報を記憶する3次元構造記憶手段と、前記3次元構造の情報から前記実装回路基板の高さ方向の構造に関する高さ情報を抽出する情報抽出手段と、抽出した情報に基づいて、前記製造工程の順序を特定する工程順序特定手段と、特定された前記製造工程の順序を出力する出力手段とを備えるものである。

【0008】

このように、本発明に係る実装回路基板製造支援装置においては、3次元構造の情報から実装回路基板の高さ方向の構造に関する高さ情報を抽出し、抽出した情報に基づいて、前記製造工程の順序を特定するため、3次元構造の設計情報に基づいて高さ方向の構造が考慮された適正な製造工程の順序を自動生成することができ、プロセス設計者の負担を軽減して作業の効率化を図ることができるという効果を奏する。

10

【0009】

本発明に係る実装回路基板製造支援装置は、前記情報抽出手段が、前記実装回路基板の2次元平面上における構成要素の分布に関する2次元分布情報を抽出し、前記工程順序特定手段が、前記2次元分布情報における前記高さ情報に基づいて、前記製造工程の順序を特定するものである。

【0010】

このように、本発明に係る実装回路基板製造支援装置においては、2次元分布情報における高さ情報に基づいて製造工程の順序を特定するため、例えば、部品やチップ等の構成要素を層内に配置する場合に、高さに応じて（例えば、高さが低いものから）順番に配置できるように製造工程を特定することができ、製造効率を上げることが可能になるという効果を奏する。

20

【0011】

本発明に係る実装回路基板製造支援装置は、前記工程順序特定手段が、前記構成要素を配置する配置手段の移動方向、並びに、前記2次元分布情報及び前記高さ情報に基づいて、前記製造工程の順序を特定するものである。

【0012】

このように、本発明に係る実装回路基板製造支援装置においては、構成要素を配置する配置手段の移動方向、並びに、前記2次元分布情報及び前記高さ情報に基づいて、前記製造工程の順序を特定するため、構成要素の配置順を効率よく特定することができ、作業の効率化を図ることができるという効果を奏する。

30

【0013】

本発明に係る実装回路基板製造支援装置は、製造対象となる実装回路基板がSiP(System in a Package)であり、前記情報抽出手段が、ワイヤボンディングの打点位置の情報を抽出し、前記工程順序特定手段が、抽出された前記打点位置の高さ方向の情報に基づいて、ワイヤボンディングの処理の継続性を判定し、前記製造工程の順序を特定するものである。

【0014】

このように、本発明に係る実装回路基板製造支援装置においては、製造対象となる実装回路基板がSiPであり、ワイヤボンディングの打点位置を抽出し、抽出された前記打点位置の高さ方向の情報に基づいて、ワイヤボンディングの処理の継続性を判定して製造工程の順序を特定するため、ワイヤボンディング処理を継続して行うか、一旦洗浄等の工程を入れるかを判定して製造工程の順序を特定することができ、SiPのプロセスフローを自動生成して作業の効率化を図ることができるという効果を奏する。

40

【0015】

本発明に係る実装回路基板製造支援装置は、製造対象となる実装回路基板がSiPであり、前記情報抽出手段が、ワイヤボンディングの打点位置の情報と、当該ワイヤボンディングの打点の上に積層される上段チップの位置及びサイズの情報とを抽出し、前記工程順序特定手段が、前記打点位置と前記上段チップの位置及びサイズとの関係に基づいて、前記

50

ワイヤボンディングの工程及び前記上段チップの積層工程の順序を特定するものである。

【0016】

このように、本発明に係る実装回路基板製造支援装置においては、製造対象となる実装回路基板がSiPであり、ワイヤボンディングの打点位置と、当該ワイヤボンディングの打点の上に積層される上段チップの位置及びサイズとを抽出し、抽出された情報に基づいてワイヤボンディングの工程及び前記上段チップの積層工程の順序を特定するため、適正なSiPのプロセスフローを自動生成して作業の効率化を図ることができるという効果を奏する。

【0017】

本発明に係る実装回路基板製造支援装置は、製造対象となる実装回路基板が部品内蔵基板であり、前記情報抽出手段が、内蔵される部品と当該部品に接続する配線との接合位置を抽出し、前記工程順序特定手段が、抽出された前記接合位置に基づいて、前記部品の実装工程の順序を特定するものである。

【0018】

このように、本発明に係る実装回路基板製造支援装置においては、製造対象となる実装回路基板が部品内蔵基板であり、内蔵される部品と当該部品に接続する配線との接合位置を抽出し、抽出された前記接合位置に基づいて、前記部品の実装工程の順序を特定するため、適正な部品内蔵基板のプロセスフローを自動生成して作業の効率化を図ることができるという効果を奏する。

【0019】

本発明に係る実装回路基板製造支援装置は、製造対象となる実装回路基板が部品内蔵基板であり、前記情報抽出手段が、上層側表面に配置される部品の点数と、下層側表面に配置される部品の点数とを抽出し、前記工程順序特定手段が、前記部品の点数が多い方を優先してリフロー工程を行うように前記製造工程の順序を特定するものである。

【0020】

このように、本発明に係る実装回路基板製造支援装置においては、製造対象となる実装回路基板が部品内蔵基板であり、上層側表面に配置される部品の点数と、下層側表面に配置される部品の点数とを抽出し、前記部品の点数が多い方を優先してリフロー工程を行うように前記製造工程の順序を特定するため、適正な部品内蔵基板のプロセスフローを自動生成して作業の効率化を図ることができるという効果を奏する。

【図面の簡単な説明】

【0021】

【図1】第1の実施形態に係る実装回路基板製造支援装置のハードウェア構成図である。

【図2】第1の実施形態に係る実装回路基板製造支援装置の機能ブロック図である。

【図3】SiPの製造工程においてワイヤボンディングの連続性を判定する場合の処理を示す図である。

【図4】SiPの製造工程においてワイヤボンディングとチップマウントの順序を判定する場合の処理を示す図である。

【図5】SiPの製造工程において2次元平面内のチップマウントの順序を判定する場合の処理を示す第1の図である。

【図6】SiPの製造工程において2次元平面内のチップマウントの順序を判定する場合の処理を示す第2の図である。

【図7】部品内蔵基板の製造工程において部品の下部電極が上層の配線に接続される場合の処理を示す図である。

【図8】部品内蔵基板の製造工程において部品の上部電極が上層の配線に接続される場合の処理を示す図である。

【図9】部品内蔵基板の製造工程において表層に配置される部品数が上側と下側で同数の場合の処理を示す図である。

【図10】部品内蔵基板の製造工程において表層に配置される部品数が上側と下側で異なる場合の処理を示す図である。

10

20

30

40

50

【図 1 1】第 1 の実施形態に係る実装回路基板製造支援装置の動作を示すフローチャートである。

【図 1 2】製造工程ごとに付加情報を出力した場合の具体例を示す図である。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施の形態を説明する。また、本実施形態の全体を通して同じ要素には同じ符号を付けている。

【0023】

(本発明の第 1 の実施形態)

本実施形態に係る実装回路基板製造支援装置について、図 1 ないし図 1 2 を用いて説明する。本実施形態に係る実装回路基板製造支援装置は、実装回路基板の 3 次元構造が格納されているデータベースから、3 次元構造の高さ情報を抽出し、その情報に基づいて製造工程の順序を特定して製造フローを出力するものである。また、製造フローと併せて、各製造工程における条件やパラメータも特定して出力することが可能であり、所謂製造レシピを出力することができる。

【0024】

図 1 は、本実施形態に係る実装回路基板製造支援装置のハードウェア構成図である。実装回路基板製造支援装置 1 は、CPU 1 1、RAM 1 2、ROM 1 3、ハードディスク (HD とする) 1 4、通信 I / F 1 5、及び入出力 I / F 1 6 を備える。ROM 1 3 や HD 1 4 には、オペレーティングシステムや実装回路基板製造支援プログラムが格納されており、必要に応じて RAM 1 2 に読み出され、CPU 1 1 により各プログラムが実行される。

【0025】

通信 I / F 1 5 は、装置間の通信を行うためのインタフェースである。入出力 I / F 1 6 は、タッチパネル、キーボード、マウス等の入力機器からの入力を受け付けたり、プリンタや画面等にデータを出力するためのインタフェースである。この入出力 I / F 1 6 は、必要に応じて光磁気ディスク、フロッピーディスク、CD - R、DVD - R 等のリムーバブルディスク等に対応したドライブを接続することができる。各処理部はバスを介して接続され、情報のやり取りを行う。なお、上記ハードウェアの構成はあくまで一例であり、必要に応じて変更可能である。

【0026】

図 2 は、本実施形態に係る実装回路基板製造支援装置の機能ブロック図である。実装回路基板製造支援装置 1 は、製造対象物 (例えば、SiP や部品内蔵基板等) の 3 次元構造を設計情報として格納している 3 次元構造記憶部 2 1 から、当該製造対象物を構成する構成要素の 3 次元構造における高さ情報を抽出する情報抽出部 2 2 と、抽出した高さ情報と、各製造工程における製造条件情報が記憶されている条件情報記憶部 2 5 から読み出された製造条件情報とに基づいて、製造工程の順序を特定して製造フローを生成するフロー生成部 2 3 と、生成された製造フローをディスプレイ 2 6 に出力する出力制御部 2 4 とを備える。

【0027】

3 次元構造記憶部 2 1 には、製造対象物の 3 次元構造の情報が格納されている。具体的には、3 次元の接続情報や座標情報を持ち、製造対象物を構成する部品やチップ等の各構成要素について、その形状や電気的な接続点などが記述されている。情報抽出部 2 2 は、この 3 次元構造記憶部 2 1 に記憶された 3 次元構造の情報から高さ方向に関する情報を抽出し、フロー生成部 2 3 が、抽出された高さ方向の情報から製造条件を満たすように製造フローを作成する。また、このとき、高さ方向の情報に加えて、2 次元平面上の構成要素の分布や構成要素を配置するためのアームなどの配置手段の移動方向を考慮して、効率の良い製造フローを作成することも可能である。以下に、SiP を製造する場合の製造フローを作成する具体例と、部品内蔵基板を製造する場合の製造フローを作成する具体例とを示して説明する。

10

20

30

40

50

【0028】

図3は、SiPの製造工程においてワイヤボンディングの連続性を判定する場合の処理を示す図である。図3(A)は、3次元構造記憶部21に格納されている3次元構造を示しており、図3(B)は、その製造フローの一例を示している。図3(A)において、Chip1~7が順次マウントされて積層され、各チップ間がその上下に積層されているチップとワイヤボンディング(ボンディング1~7)により電氣的に接続されている。この場合、最も単純な製造フローとしては、Chip1~7を全て連続してマウントした後に、固化・洗浄工程を行い、その後ボンディング1~7を全て連続してボンディングし、最後に洗浄工程を行う製造フローが生成可能である。しかしながら、ワイヤボンディングの連続性には限度があり、実際にはボンディング1~7を連続して行うことができない。

10

【0029】

そこで、フロー生成部23は、条件情報記憶部25から連続ボンディングを行うことが可能な範囲の高さの閾値情報(ここでは、Hとする)を読み出し、ボンディングするパッドの位置(ここでは、Chip上面の高さ)がHを超える場合は一旦洗浄工程を入れるように製造フローを作成する。すなわち、図3(B)に示すように、Chip1~7をマウント(S1)した後、固化・洗浄工程を行い(S2)、ワイヤ1~3を連続ボンディングし(S3)、一旦洗浄工程を入れ(S4)、そこからChip4~6を連続ボンディングし(S5)、一旦洗浄工程を入れ(S6)、最後にChip7のボンディングを行い(S7)、最後に洗浄工程を行う(S8)製造フローを生成する。

20

【0030】

また、条件情報記憶部25から連続ボンディングを行うことが可能なチップ個数の閾値情報(ここでは、Nとする)を読み出し、ボンディングするチップの個数がNを超える場合は一旦洗浄工程を入れるように製造フローを作成する。なお、これらの閾値情報HやNを用いた判定処理は、必要に応じてそれぞれ別個に行ってもよいし、両方行うようにしてもよい。

【0031】

図4は、SiPの製造工程においてワイヤボンディングとチップマウントの順序を判定する場合の処理を示す図である。図4(A)は、3次元構造記憶部21に格納されている3次元構造を示しており、図4(B)は、その製造フローの一例を示している。図4(A)において、左側にChip1~3が積層され、右側にChip4が配置され、Chip1とChip4とがボンディング1で接続されている。この場合、単純な製造フローとしては、Chip1~4のマウント作業の後に、ボンディング1を実行する製造フローが生成可能である。しかしながら、Chip1におけるボンディング1の打点上にはChip4が配置されており、オーバーハングしている。つまり、Chip4をマウントした後にボンディング1を行うことができない。

30

【0032】

そこで、フロー生成部23は、情報抽出部22から抽出されたChip1の打点の位置とChip4のマウント位置及びサイズに基づいて、Chip1の打点とChip4がどの程度オーバーハングしているか(例えば、平面視した場合にChip4のどの位置に打点があるか)を演算する。演算した結果が条件情報記憶部25から読み出したオーバーハングの条件(ボンディング可能かどうかの条件)を満たしているかどうかを判定し、満たしていなければ(ボンディング不可能であれば)、マウント処理の途中にボンディング及びそれに伴う洗浄工程を入れるように製造フローを作成する。すなわち、上述したような単純な製造フローではなく、図4(B)に示すように、Chip1,4をマウントし(S1)、固化・洗浄工程を行い(S2)、その次にボンディング1(S3)と洗浄工程(S4)が挿入され、その後Chip2,3をマウントし(S5)、固化・洗浄工程を行う(S6)製造フローが作成される。

40

【0033】

図5は、SiPの製造工程において2次元平面内のチップマウントの順序を判定する場合の処理を示す第1の図である。図5(A)は、3次元構造記憶部21に格納されている3

50

次元構造を示しており、図5(B)は、その製造フローの一例を示している。図5(A)において、高さが H_1 のChip1が配置され、それに隣接して高さが H_2 のChip2, 3が積層されて配置され、さらにその隣に高さが H_3 のChip4が配置されている。ここで、 $H_3 > H_1 > H_2 \times 2$ の関係であるとする。

【0034】

フロー生成部23は、各チップのマウント処理ができるだけスムーズで無駄な動作が出ないようにChipのマウント順を決定する。具体的には、チップをマウントするためのアームの上下動が出来る限り少なくなるように、チップの高さが低いものから優先的にマウント処理を行うように製造フローを作成する。このとき、Chip2, 3のように積層されている場合は、積層されたチップの最上部($H_2 \times 2$)の高さで判定を行う。すなわち、図5(B)に示すように、Chip2をマウントし(S1)、Chip3をマウントし(S2)、Chip1をマウントし(S3)、Chip4をマウントする(S4)製造フローが作成される。

10

【0035】

図6は、SiPの製造工程において2次元平面内のチップマウントの順序を判定する場合の処理を示す第2の図である。図6(A)は、3次元構造記憶部21に格納されている3次元構造を示しており、図6(B)は、その製造フローの一例を示している。図6(A)において、左側に高さが H_4 のChip1~5が積層されて配置され、それに隣接して高さが H_4 のChip6, 7が積層されて配置されている。ここで、各チップをマウントするためのアームは図面の左方向からチップを掴んで右方向に移動し、決められた位置でマウント処理を行い、右方向から左方向に戻るものとする。この場合、Chip1~5を先に積層して積み上げてしまうと、Chip6, 7をマウントする際にアームを上下に動作させて積み上がったチップを回避しなければならないため、非常に効率が悪くなる。

20

【0036】

そこで、フロー生成部23は、アームの移動経路において手前にあるチップの高さ(積層されたチップの高さ)が奥にあるチップの高さ(積層されたチップの高さ)より高い場合には、奥のチップのマウントを優先して製造フローを作成する。すなわち、図6(B)に示すように、まず、アームの移動経路の奥側に配置されるChip6をマウントし(S1)、手前側のChip1をマウントし(S2)、奥側のChip7をマウントし(S3)、手前側のChip2~5をマウントする(S4)ように製造フローが作成される。このとき、奥側のチップを先に全て積み上げてから手前側のチップを積み上げるよりは、図6(B)の製造フローのように、奥側が積み上がるまでは奥側 手前側の順に交互にマウントするような製造フローの方が、アームの上下動の駆動は最小限に抑えることが可能となる。

30

【0037】

なお、例えば、手前側と奥側が同じ高さである場合も、先にどちらか一方をマウントするのではなく、奥側 手前側の順に交互にマウントするように製造フローが作成される。また、奥側が高い場合は、奥側を先に積み上げてから手前側を積み上げるように製造フローが作成されてもよいし、手前側のチップが積み上がるまでは奥側 手前側の順に交互にマウントするように製造フローが作成されてもよい。

40

【0038】

次に、部品内蔵基板を製造する場合の製造フローの作成処理を具体的に説明する。図7は、部品内蔵基板の製造工程において部品の下部電極が上層の配線に接続される場合の処理を示す図、図8は、部品内蔵基板の製造工程において部品の上部電極が上層の配線に接続される場合の処理を示す図である。図7(A)及び図8(A)は、3次元構造記憶部21に格納されている3次元構造を示しており、図7(B)及び図8(B)は、その製造フローの一例を示している。

【0039】

図7(A)においては、基板内に内蔵される内部部品の下部電極が、内層L2の配線パターンに接続され、内層L2の配線パターンと表層L1の配線パターンとがビアで接続さ

50

れることにより部品 1 と電氣的に接続可能となっている。一方、図 8 (A) の場合は、基板内に内蔵される内部部品の上部電極と表層 L 1 の配線パターンとがビアで直接接続されることで部品 1 と電氣的に接続可能となっている。内部部品の上部電極又は下部電極の接続の違いにより、部品内臓基板の構造や製造フローが大きく異なってくる。

【 0 0 4 0 】

そこで、フロー生成部 2 3 は、それぞれの接続条件（例えば、内部部品の上部電極に接続するか下部電極に接続するかといった条件）に適合するように製造フローを作成する。内部部品の下部電極に接続する場合は、図 7 (B) に示すように、まず、内層 L 2 配線パターンを作成し (S 1)、内層 L 2 配線の内部部品の電極部分に対応する箇所にはンダを塗布し (S 2)、内部部品を配置し (S 3)、リフロー工程を行い (S 4)、表層 L 1 , L 4 の配線パターンを作成し (S 5)、表層 L 1 から内層 L 2 の配線にビアを形成する (S 6)。以降、S 7 ~ S 1 2 のステップにより表層 L 1 及び L 4 における部品 1 及び部品 2 を配置する。また、内部部品の上部電極に接続する場合は、図 8 (B) に示すように、まず、内層 L 2 の内部部品を配置する箇所に接着剤を塗布し (S 1)、内部部品を配置し (S 2)、表層 L 1 , L 4 の配線パターンを作成し (S 3)、表層 L 1 から内部部品の上部電極にビアを形成する (S 4)。以降 S 5 ~ S 1 0 のステップでは、図 7 (B) における S 7 ~ S 1 2 のステップと同様に部品 1 及び部品 2 が配置される。

10

【 0 0 4 1 】

図 9 は、表層に配置される部品数が上側と下側で同数の場合の処理を示す図、図 1 0 は、表層に配置される部品数が上側と下側で異なる場合の処理を示す図である。図 9 (A) 及び図 1 0 (A) は、3次元構造記憶部 2 1 に格納されている3次元構造を示しており、図 9 (B) 及び図 1 0 (B) は、その製造フローの一例を示している。

20

【 0 0 4 2 】

図 9 (A) の場合は、表層 L 1 と表層 L 4 にそれぞれ部品が 1 個ずつ配置されるので、内部部品の配設後は部品 1 及び部品 2 のいずれから配置してもよい。一般的には、基板を裏返す手間が少なく済むように、表層 L 1 の部品 1 が先に配置される。すなわち、図 9 (B) に示すように、フロー生成部 2 3 により、内部部品を配置し (S 1)、リフロー処理を行い (S 2)、表層 L 1 側の部品 1 を配置し (S 3)、リフロー処理を行い (S 4)、表層 L 4 側の部品 2 を配置し (S 5)、リフロー処理を行う (S 6) 製造フローが作成される。

30

【 0 0 4 3 】

一方、図 1 0 (A) の場合は、表層 L 1 に部品が 1 個、表層 L 4 に部品が 3 個配置される。このような場合は、基板の反りをなるべく少なくするために、部品数が多い方を優先してリフロー処理を行う。すなわち、図 1 0 (B) に示すように、フロー生成部 2 3 により、内部部品を配置し (S 1)、リフロー処理を行い (S 2)、表層 L 4 側の部品 2 ~ 4 を配置し (S 3)、リフロー処理を行い (S 4)、表層 L 1 側の部品 1 を配置し (S 5)、リフロー処理を行う (S 6) 製造フローが作成される。

【 0 0 4 4 】

なお、上層側表面における部品の数と下層側表面における部品の数以外に、例えば、上層側表面におけるビアの数と下層側表面におけるビアの数に基づいて、ビアの数が多い方を優先してリフロー処理を行うように製造フローを作成するようにしてもよい。また、熱処理が多い方を優先するような製造フローを作成するようにしてもよい。

40

【 0 0 4 5 】

次に、本実施形態に係る実装回路基板製造支援装置の動作について説明する。図 1 1 は、本実施形態に係る実装回路基板製造支援装置の動作を示すフローチャートである。まず、情報抽出部 2 2 が 3次元構造記憶部 2 1 に記憶された 3次元構造の情報から、製造フローの作成に必要な情報を抽出する (S 1)。フロー生成部 2 3 が、条件情報記憶部 2 5 に記憶された製造条件に関する情報を読み込み (S 2)、当該読み込んだ製造条件の情報と S 1 で抽出された情報とに基づいて、製造工程の順序を特定し製造フローを作成する (S 3)。出力制御部 2 4 が作成された製造フローを出力して (S 4)、処理を終了する。

50

【 0 0 4 6 】

このように、本実施形態に係る実装回路基板製造支援装置においては、3次元構造の情報から実装回路基板の高さ方向の構造に関する高さ情報を抽出し、抽出した情報に基づいて、前記製造工程の順序を特定するため、3次元構造の設計情報に基づいて高さ方向の構造が考慮された適正な製造工程の順序を自動生成することができ、プロセス設計者の負担を軽減して作業の効率化を図ることができる。

【 0 0 4 7 】

また、2次元分布情報における高さ情報に基づいて製造工程の順序を特定するため、部品やチップ等の構成要素を層内に配置する場合に、高さに応じて順番に配置できるように製造工程を特定することができ、製造効率を上げることが可能になる。

10

【 0 0 4 8 】

さらに、構成要素を配置するアーム等の配置手段の移動方向、並びに、構成要素の2次元分布情報及び高さ情報に基づいて、製造工程の順序を特定するため、構成要素の配置順を効率よく特定することができ、作業の効率化を図ることができる。

【 0 0 4 9 】

さらにまた、SiPの製造工程におけるワイヤボンディングの連続性の判断による製造工程の順序の特定や、ワイヤボンディングとチップマウントの順序の特定、更には、部品内蔵基板における部品の接続位置による製造工程の順序の特定や、表層における部品数によるリフロー工程の順序の特定等を行うことができ、SiPのプロセスフローや部品内蔵基板の製造工程を適正な順序に自動生成して作業の効率化を図ることができる。

20

【 0 0 5 0 】

なお、上記各図で記載した製造フローはあくまで説明のための一例であり、また説明に必要な最小限の処理のみを例示しているため、実際には他の細かい工程が多数挿入された製造フローが出力される。

【 0 0 5 1 】

また、図5及び図6で説明した2次元平面における高さ方向の情報を考慮してチップのマウント順を判定する処理については、SiPにおけるチップのマウント処理だけでなく部品内蔵基板における部品の配置処理にも当然適用することが可能である。

【 0 0 5 2 】

さらに、製造フローを出力する際に、各製造工程ごとに製造条件や必要な情報を付加的に出力するようにしてもよい。製造条件は、条件情報記憶部25に記憶されている情報をそのまま読み込んで出力してもよいし、情報抽出部22が抽出した情報に基づいてフロー生成部23が演算により求めて出力してもよい。また、必要な情報として情報抽出部22が抽出した情報をそのまま利用してもよい。

30

【 0 0 5 3 】

製造工程ごとに付加情報を出力した場合の具体例を図12に示す。図12に示すように、各製造工程ごとに用いられる材料や条件等を付加情報として出力する。例えば、基板名称、基板サイズ、基板レイアウト等は、情報抽出部22が3次元構造記憶部21から抽出した情報をそのまま利用して出力し、チップマウントする際の温度、荷重、時間等は、条件情報記憶部25に記憶されている情報をそのまま利用して出力し、モールドの圧力等については、情報抽出部22が3次元構造記憶部21から抽出した情報に基づいて、条件情報記憶部25の製造条件に合うパラメータを演算により求めて出力することができる。

40

【 0 0 5 4 】

なお、図12に示す基板設置属性として例えば、「基板名称」、「基板サイズ」、「基板レイアウト」、「メーカー」、「ソルダーレジスト名称」等が含まれるようにしてもよい。Chipマウント属性として例えば、「チップ名称」、「ダイアタッチフィルム」、「温度/荷重/時間」等、キュア属性として例えば、「圧力」、「温度/時間」、「使用装置機種」等、プラズマ属性として例えば、「パワー」、「時間」、「ガス」、「圧力」、「ガスフロー」、「使用装置機種」等、ワイヤボンディング属性として例えば、「ワイヤ素材」、「キャピラリ」、「温度」、「使用装置機種」等、樹脂封止属性として例えば、

50

「C a v . 厚」、「樹脂素材」、「タブレット径/重量」、「ポット数」、「注入圧力」、「金型温度」、「治具」、「使用装置機種」等が含まれるようにしてもよい。

【0055】

同様に、部品内蔵基板の製造フローにおいては、部品の名称、サイズ、リフロー条件、ビアの穴あけの条件、めっき条件等の製造工程ごとに必要な情報や条件情報等を付加的に出力することが可能となる。これらの情報も、上記と同様に、情報抽出部22が3次元構造記憶部21から抽出した情報をそのまま利用して出力してもよいし、条件情報記憶部25に記憶されている情報をそのまま利用して出力してもよいし、情報抽出部22が3次元構造記憶部21から抽出した情報に基づいて、条件情報記憶部25の製造条件に合うパラメータを演算により求めて出力してもよい。例えば、ビアの穴あけにおけるレーザの強度を求める場合は、配線の単位厚あたりの貫通に必要なパワーと基板の単位厚あたりの貫通に必要なパワーとを条件情報記憶部25から読み出し、実際に製造する配線の厚みと基板の厚みを3次元構造記憶部21から抽出し、それらの情報から必要なパワーを求めることができる。

10

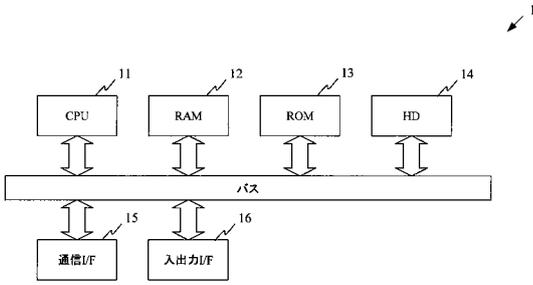
【符号の説明】

【0056】

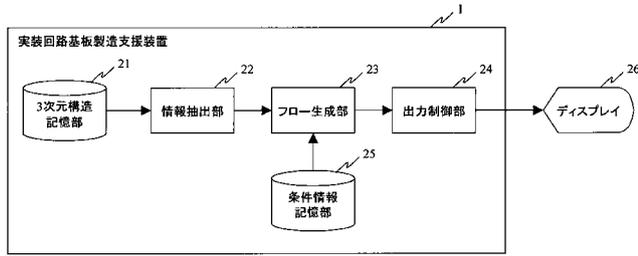
- 1 実装回路基板製造支援装置
- 11 CPU
- 12 RAM
- 13 ROM
- 14 HD
- 15 通信I/F
- 16 入出力I/F
- 21 3次元構造記憶部
- 22 情報抽出部
- 23 フロー生成部
- 24 出力制御部
- 25 条件情報記憶部
- 26 ディスプレイ

20

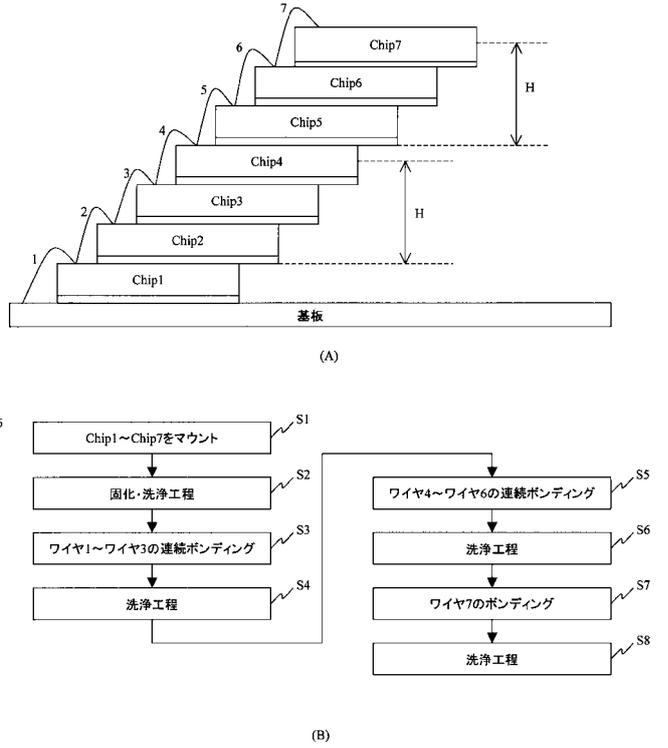
【図1】



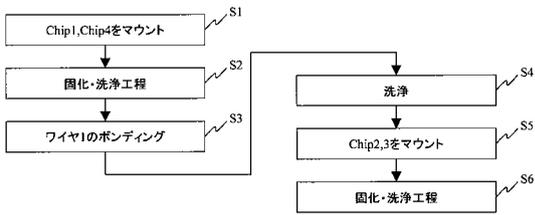
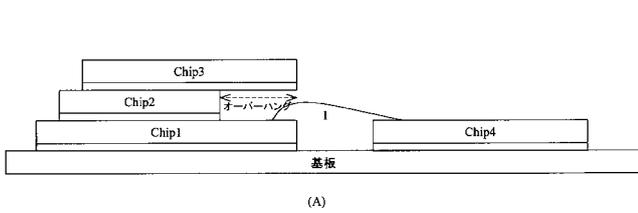
【図2】



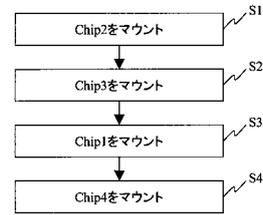
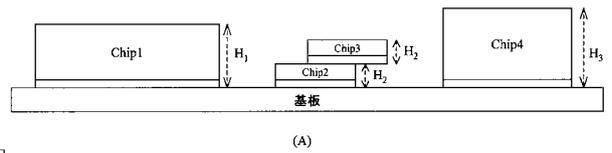
【図3】



【図4】



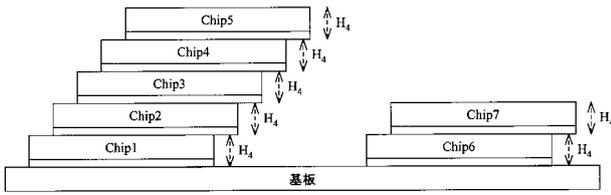
【図5】



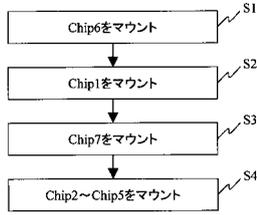
(B)

(B)

【図6】

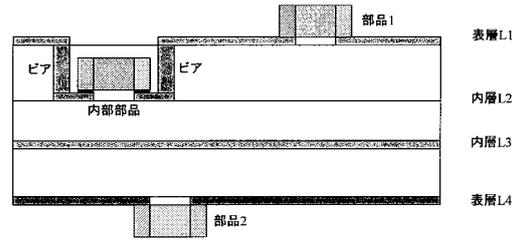


(A)

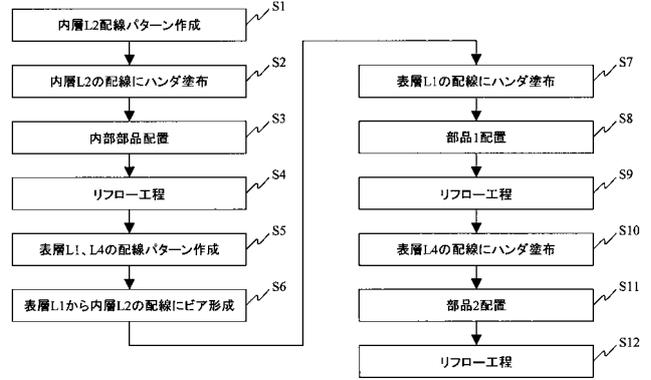


(B)

【図7】

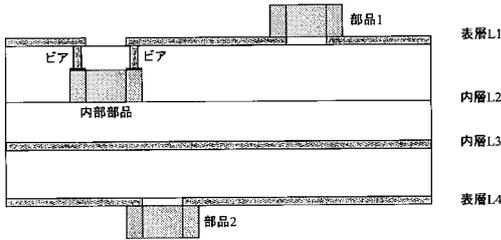


(A)

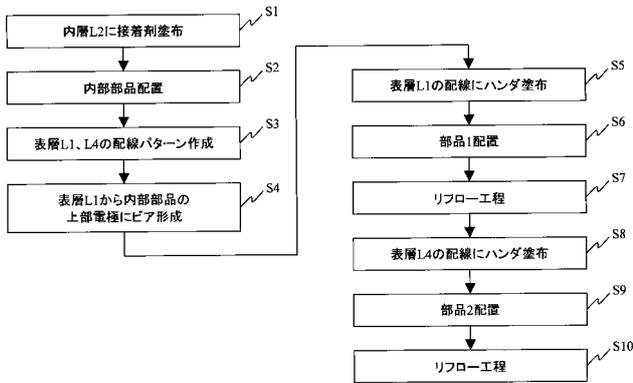


(B)

【図8】

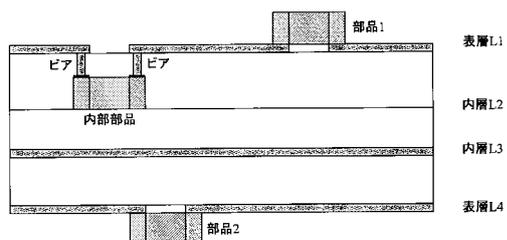


(A)

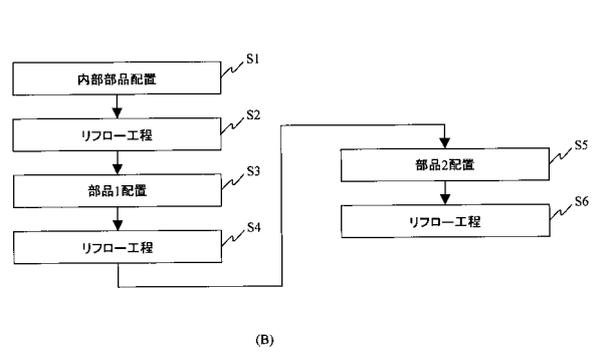


(B)

【図9】

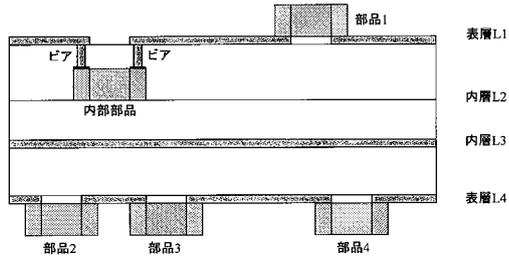


(A)

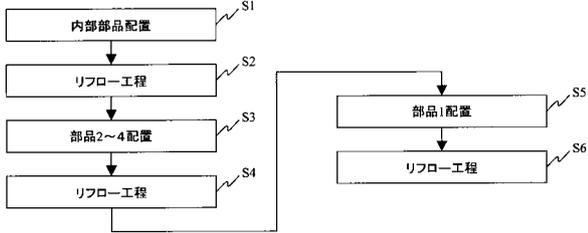


(B)

【図10】

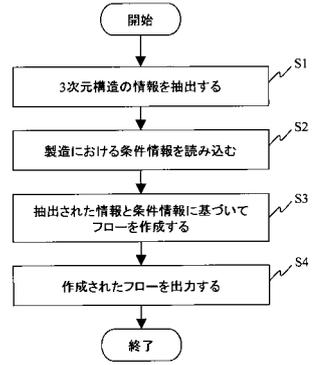


(A)



(B)

【図11】



【図12】

