

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-170477

(P2016-170477A)

(43) 公開日 平成28年9月23日(2016.9.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 17/50 (2006.01)</b>	G06F 17/50 614Z	5B046
<b>H05K 3/00 (2006.01)</b>	H05K 3/00 D	5E353
<b>H05K 13/04 (2006.01)</b>	H05K 13/04 Z	
	G06F 17/50 658E	
	G06F 17/50 658J	

審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2015-48120 (P2015-48120)  
 (22) 出願日 平成27年3月11日 (2015.3.11)

(71) 出願人 598015084  
 学校法人福岡大学  
 福岡県福岡市城南区七隈8丁目19番1号  
 (71) 出願人 390015587  
 株式会社図研  
 神奈川県横浜市都筑区荏田東2丁目25番1号  
 (71) 出願人 000237271  
 富士機械製造株式会社  
 愛知県知立市山町茶碓山19番地  
 (71) 出願人 000227180  
 日置電機株式会社  
 長野県上田市小泉81番地  
 (74) 代理人 100099634  
 弁理士 平井 安雄

最終頁に続く

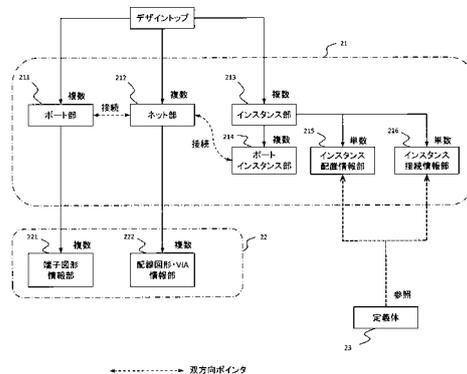
(54) 【発明の名称】 3次元回路情報記憶装置及び製造装置

(57) 【要約】

【課題】 3次元の回路情報を記憶する際に、インスタンスの端子と配線との接続方法の情報を記憶することで、製造工程を効率よく実施することを可能とする3次元回路情報記憶装置及び製造装置を提供する。

【解決手段】 回路を構成するインスタンスの3次元配置情報を記憶するインスタンス配置情報記憶部215と、インスタンスの端子と配線との接続方法に関する接続情報を記憶するインスタンス接続情報記憶部216とを備える。インスタンス接続情報記憶部は、インスタンスの端子と配線との接続方法として、半田付け、めっき又はワイヤボンディングのいずれかの接続情報を記憶する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

回路を構成するインスタンスの 3 次元配置情報を記憶するインスタンス配置情報記憶手段と、

前記インスタンスの端子と配線との接続方法に関する接続情報を記憶するインスタンス接続情報記憶手段とを備えることを特徴とする 3 次元回路情報記憶装置。

**【請求項 2】**

請求項 1 に記載の 3 次元回路情報記憶装置において、

前記インスタンス接続情報記憶手段が、前記インスタンスの端子と前記配線との接続方法として、半田付け、めっき又はワイヤボンディングのいずれかの接続情報を記憶することを特徴とする 3 次元回路情報記憶装置。

10

**【請求項 3】**

請求項 2 に記載の 3 次元回路情報記憶装置において、

前記接続情報の内容に応じて、当該接続方法を行うための前記 3 次元配置情報に基づく制約条件情報を記憶する制約条件情報記憶手段を備えることを特徴とする 3 次元回路情報記憶装置。

**【請求項 4】**

請求項 1 ないし 3 のいずれかに記載の 3 次元回路情報記憶装置の情報を用いて 3 次元回路の製造を実施する製造装置であって、

前記インスタンスが表向きにセットされる第 1 領域と、前記インスタンスが裏向きにセットされる第 2 領域とを有するインスタンスセット領域を有し、

20

前記インスタンス接続情報記憶手段に記憶された前記接続情報に基づいて、前記インスタンスが表向きに配置されるか裏向きに配置されるかを判定する表裏判定手段と、

前記表裏判定手段の判定結果に基づいて、前記インスタンスを第 1 領域又は第 2 領域のいずれかの領域から取得して配置するインスタンス配置制御手段とを備えることを特徴とする製造装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、3次元の回路情報を記憶する3次元回路情報記憶装置等に関する。

30

**【背景技術】****【0002】**

3次元の回路情報を管理する技術として、例えば特許文献1、2に示す技術が開示されている。特許文献1に示す技術は、回路を構成する各要素の情報を記憶する回路情報記憶部22と、空間内の任意の位置に仮想の光源を設定する光源情報設定部23と、任意の複数の要素について、設定した光源からの光により生じる要素間の陰影状態を検出する陰影状態検出部24と、任意の複数の要素間の関連情報を演算する関連情報演算部25と、陰影状態に関する情報、及び関連情報を、複数の要素間の陰影情報として記憶する陰影情報記憶部26と、回路情報記憶部22、及び陰影情報記憶部26が記憶する情報の表示を制御する表示制御部27とを備えるものである。

40

**【0003】**

特許文献2に示す技術は、底面積及び高さが仮想的に設定されたビア及びチップ含む回路記憶する回路情報記憶部21、回路要素を配置する配置部22、ビアがチップと配線により接続されている場合、ビアの上方にチップと接続している配線路の経路長に応じた高さで、仮想の点光源を配置する放熱体光源配置部24、チップの上方に消費電力に応じた高さで仮想の点光源を配置する発熱体光源配置部27、ビアが放熱する熱量及びチップが発熱する熱量を、点光源から照射された光による陰影として形成する陰影生成部25、ビアの陰影領域及びチップの陰影領域において、それぞれが重なっている重畳領域と、チップの陰影領域との差分が最小となるようにビア及び/又はチップの配置を変更する配置変更部29、形成陰影を表示する表示制御部26を備えるものである。

50

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特開2011-128711号公報

【特許文献2】特開2012-190252号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

特許文献1、2に示す技術は、いずれも3次元回路情報に関するものであり、高さ方向の情報（光源とそれによる陰影の情報）を利用することで、回路を形成する要素を管理するものであるが、製造工程などで重要な情報である、例えば回路を構成する要素と配線との接続方法などの情報は管理されておらず、3次元回路情報の管理としては不十分であるという課題を有する。

10

## 【0006】

本発明は、3次元の回路情報を記憶する際に、インスタンスの端子と配線との接続方法の情報を記憶することで、製造工程を効率よく実施することを可能とする3次元回路情報記憶装置及び製造装置を提供する。

## 【課題を解決するための手段】

## 【0007】

本発明に係る3次元回路情報記憶装置は、回路を構成するインスタンスの3次元配置情報を記憶するインスタンス配置情報記憶手段と、前記インスタンスの端子と配線との接続方法に関する接続情報を記憶するインスタンス接続情報記憶手段とを備えるものである。

20

## 【0008】

このように、本発明に係る3次元回路情報記憶装置においては、インスタンスの3次元配置情報と接続方法に関する接続情報とを記憶するため、設計工程の段階で接続方法を確認することができると共に、以降の製造工程において接続情報にしたがって効率よく処理を行うことができるという効果を奏する。

## 【0009】

本発明に係る3次元回路情報記憶装置は、前記インスタンス接続情報記憶手段が、前記インスタンスの端子と前記配線との接続方法として、半田付け、めっき又はワイヤボンディングのいずれかの接続情報を記憶するものである。

30

## 【0010】

このように、本発明に係る3次元回路情報記憶装置においては、インスタンスの端子と配線との接続方法として半田付け、めっき又はワイヤボンディングのいずれかの接続情報を記憶するため、インスタンスと配線との接続方法を具体的に確認することができ、以降の製造工程に役立てることができるという効果を奏する。

## 【0011】

本発明に係る3次元回路情報記憶装置は、前記接続情報の内容に応じて、当該接続方法を行うための前記3次元配置情報に基づく制約条件情報を記憶する制約条件情報記憶手段を備えるものである。

40

## 【0012】

このように、本発明に係る3次元回路情報記憶装置においては、接続情報の内容に応じて、当該接続方法を行うための制約条件情報を記憶するため、インスタンスと配線の接続を事前にシミュレーションして、正確な設計を行うことができるという効果を奏する。

## 【0013】

本発明に係る製造装置は、前記いずれかに記載の3次元回路情報記憶装置の情報をを用いて3次元回路の製造を実施する製造装置であって、前記インスタンスが表向きにセットされる第1領域と、前記インスタンスが裏向きにセットされる第2領域とを有するインスタンスセット領域を有し、前記インスタンス接続情報記憶手段に記憶された前記接続情報に基づいて、前記インスタンスが表向きに配置されるか裏向きに配置されるかを判定する表

50

裏判定手段と、前記表裏判定手段の判定結果に基づいて、前記インスタンスを第1領域又は第2領域のいずれかの領域から取得して配置するインスタンス配置制御手段とを備えるものである。

【0014】

このように、本発明に係る製造装置においては、インスタンス接続情報記憶手段に記憶された接続情報に基づいて、インスタンスが表向きに配置されるか裏向きに配置されるかを判定し、その判定結果に基づいて、インスタンスが表向きにセットされている第1領域又は裏向きにセットされている第2領域のいずれかの領域から取得してインスタンスを配置制御するため、製造工程におけるインスタンスの配置について、表裏の間違いを防止することができると共に、製造者の負担を減らして作業効率を上げることができるという効果を奏する。

【図面の簡単な説明】

【0015】

【図1】第1の実施形態に係る3次元回路情報記憶装置のハードウェア構成図である。

【図2】第1の実施形態に係る3次元回路情報記憶装置のデータ構造の一例を示す第1の図である。

【図3】定義体の一例として抵抗部品を示す図である。

【図4】第1の実施形態に係る3次元回路情報記憶装置のデータ構造の一例を示す第2の図である。

【図5】半田付けの場合の制約条件の一例を示す図である。

【図6】めっきの場合の制約条件の一例を示す図である。

【図7】LSIをワイヤボンディングで接続する場合の制約条件の一例を示す図である。

【図8】LSIを半田付け又はめっきで接続する場合の制約条件の一例を示す図である。

【図9】第2の実施形態に係る3次元回路情報記憶装置及び製造装置の構成を示す機能ブロック図である。

【図10】セットされた抵抗部品を演算部の演算結果に基づいて配置する処理を示す図である。

【図11】第2の実施形態に係る製造装置の動作を示すフローチャートである。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を説明する。また、本実施形態の全体を通して同じ要素には同じ符号を付けている。

【0017】

(本発明の第1の実施形態)

本実施形態に係る3次元回路情報記憶装置について、図1ないし図8を用いて説明する。本実施形態に係る3次元回路情報記憶装置は、回路を構成する部品やチップ等のインスタンスの3次元配置情報を記憶すると共に、当該インスタンスの端子と配線との接続方法に関する接続情報を記憶するものである。接続情報としては、例えば、インスタンスの端子と配線との接続方法が半田付け、めっき、ワイヤボンディングのいずれの方法であるかが記憶される。また、各接続方法についての制約条件等も記憶される。

【0018】

図1は、本実施形態に係る3次元回路情報記憶装置のハードウェア構成図である。3次元回路情報記憶装置1は、CPU11、RAM12、ROM13、ハードディスク(HDとする)14、通信I/F15、及び入出力I/F16を備える。ROM13やHD14には、オペレーティングシステム、プログラム、3次元回路情報等が格納されており、必要に応じてプログラムがRAM12に読み出され、CPU11により実行される。

【0019】

通信I/F15は、装置間の通信を行うためのインタフェースである。入出力I/F16は、タッチパネル、キーボード、マウス等の入力機器からの入力を受け付けたり、プリンタや画面等にデータを出力するためのインタフェースである。この入出力I/F16は

10

20

30

40

50

、必要に応じて光磁気ディスク、フロッピー(登録商標)ディスク、CD-R、DVD-R等のリムーバブルディスク等に対応したドライブを接続することができる。各処理部はバスを介して接続され、情報のやり取りを行う。なお、上記ハードウェアの構成はあくまで一例であり、必要に応じて変更可能である。

#### 【0020】

図2は、本実施形態に係る3次元回路情報記憶装置のデータ構造の一例を示す図である。本実施形態において、3次元回路情報はツリーのデータ構造で格納されており、大きく分けて、接続関係を示す情報が格納されている第1記憶部21と、端子や配線のレイアウト情報を格納する第2記憶部22とを有する。

#### 【0021】

第1記憶部21は、外部に接続するための端子の名称、3次元位置等を格納するポート部211と、配線の名称、3次元位置等を格納するネット部212と、部品(例えば、抵抗、コンデンサ、LSI等を含む)等のインスタンスの名称や3次元位置、接続情報等を格納するインスタンス部213(インスタンス配置情報部215及びインスタンス接続情報部216を含む)と、配置しているインスタンスが持っているポート(インスタンスが当該インスタンスの外部に接続するための端子)の名称、3次元位置等を格納するポートインスタンス部214とを有する。ポート部211とネット部212との間、及び、ネット部212とポートインスタンス部214との間には接続関係があり、双方向のポインタにより接続関係が対応付けられている。

#### 【0022】

第2記憶部22は、第1記憶部21に格納されている情報のレイアウト情報が記憶されており、ポート部211の情報に対応付けてポートのレイアウト情報を記憶する端子図形情報部221と、ネット部212の情報に対応付けて配線のレイアウト情報を記憶する配線図形・VIA情報部222とを有する。

#### 【0023】

定義体23は、図2のデータ構造で定義されている他の部品の定義情報である。インスタンス部213、インスタンス配置情報部215及びインスタンス接続情報部216は、定義体23で定義されている他の部品の配置情報及び接続に関する情報が格納されている。すなわち、例えば、部品Aが図2のデータ構造にて定義されており、この部品Aを基板上に複数配置する場合、基板上に配置された時点で、その夫々の配置ごとにインスタンス部213、インスタンス配置情報部215及びインスタンス接続情報部216に部品Aの配置情報及び接続に関する情報が保持される。つまり、1つの部品Aの定義情報に対して、複数のインスタンス情報が存在することとなり、各インスタンス情報は定義体23を参照できるようになっている。

#### 【0024】

図3は、定義体の一例として抵抗部品を示す図である。図3(A)は、抵抗部品の斜視図、図3(B)は抵抗部品の平面図、図3(C)は抵抗部品の接続図の一例を示している。図3(A)に示すように、抵抗部品31は、抵抗体32と当該抵抗体32の両端部を覆うように形成されている端子部33a, 33bとからなる。抵抗部品31の上面側における端子部33a, 33bの露出部分(非接続領域35a, 35b)と、抵抗部品31の下面側における端子部33a, 33bの露出部分(接続領域34a, 34b)とは表面積が異なる大きさとなっており、通常、非接続領域35a, 35bに比べて、接続領域34a, 34bが大きくなっている。すなわち、配線と接触して電氣的に接続される部分は、大きい表面積を有する接続領域34a, 34bとなる。これらの情報は定義体23に定義情報として格納されている。なお、以降の説明において、接続領域34a, 34b側の面を表面とし、非接続領域35a, 35b側の面を裏面とする。

#### 【0025】

図3(C)は、抵抗部品の接続に関する情報が示されており、配線36と接続領域34aとが接触して接続されている。このように配置された抵抗部品の配置情報、接続に関する情報は1つの抵抗部品に共通するものではないため、ネット情報、インスタンス情報、

10

20

30

40

50

ポートインスタンス情報として個々に記憶される。本実施形態においては、接続に関する情報として接続方法が記憶される。接続方法としては、例えば、半田付け、めっき等の情報が記憶されており、定義体が抵抗部品ではなくLSIのような場合には、ワイヤボンディング、半田付け、めっき等の情報が記憶される。これらの情報が記憶されることで、後述するように、製造工程において接続情報を有効活用して製造効率を上げることが可能となる。製造工程における活用については、詳細を後述する。また、プロセス設計者が製造フローを作成する際にも役立てることが可能となる。

#### 【0026】

なお、本実施形態に係る3次元回路情報記憶装置においては、図4に示すように、インスタンス接続情報部216の接続情報に応じた制約条件情報を記憶する制約条件情報部24を備えるようにしてもよい。制約条件について具体的に説明する。図5は、半田付けの場合の制約条件の一例を示す図である。図5(A)は制約条件を満たす場合の上面投影図であり、図5(B)は制約条件を満たさない場合の上面投影図である。図5に示すように、形成されている配線36a, 36b上に半田ペーストが塗布され、その上に抵抗部品31が載置される。このとき、半田ペーストに直接接触するのは接続領域34a, 34bである必要があるため、接続領域34a, 34bが下面側となるようにマウントされる(このマウント処理については詳細を後述する)。

#### 【0027】

抵抗部品31と配線36とを半田付けにより確実に接続するためには、半田付けをするための領域を確保する必要がある。すなわち、配線36の接続部分と抵抗部品31の接続領域34aとの重複部分の大きさ $S_1$ が、少なくとも抵抗部品31の接続領域34aの大きさ $s_{t1}$ の $1/x$ 以上( $x$ は利用者により任意に設定可能とする)確保する必要があるといった制約条件が制約条件情報部24に記憶される。

#### 【0028】

また、図6は、めっきの場合の制約条件の一例を示す図である。図6(A)は制約条件を満たす場合の側断面図であり、図6(B)は制約条件を満たさない場合の側断面図である。図6に示すように、接続領域34a, 34bが上面側となるように抵抗部品31が載置され、接続領域34a, 34bと上層(Layer 2)の配線36a, 36bとがビア51a, 51bで接続されている。このように、抵抗部品31と上層の配線36とをビアを介してめっきで接続するには、テーパ状に形成されたビア孔におけるビアの径と高さの関係を検討する必要がある。すなわち、図6(A)に示すように、ビア51a, 51bの径の大きさ $r_1$ は、孔穿孔時のテーパの角度を考慮して抵抗部品31の最上部から上層の配線36までの高さ $H_1$ に応じた設定をする必要があり、少なくとも $r_1$ が $H_1$ の $x$ 倍以上( $x$ は利用者により任意に設定可能とする)にするといった制約条件が制約条件情報部24に記憶される。

#### 【0029】

さらに、図7は、LSIをワイヤボンディングで接続する場合の制約条件の一例を示す図である。図7(A)は制約条件を満たす場合の側断面図であり、図7(B)は制約条件を満たさない場合の側断面図である。図7に示すように、パッド71が上面側となるようにLSI70が載置され、配線36とパッド71とがワイヤボンディングで接続されている。配線36とパッド71をワイヤボンディングで接続する際には、ワイヤボンディングが可能な高さを確保する必要がある。すなわち、ワイヤボンディングによる接続を可能とするために、LSI70の最上部から上層(Layer 2)までの高さ $H_2$ よりLSI70の最上部からワイヤボンディングの最上点までの高さ $H_3$ を低く設定するといった制約条件が制約条件情報部24に記憶される。

#### 【0030】

さらにまた、図8は、LSIを半田付け又はめっきで接続する場合の制約条件の一例を示す図である。LSIの場合は上記のようにワイヤボンディングによる接続以外に幾つかの接続方法があるが、ここでは半田付けとめっきについての制約条件を説明する。図8(A)は半田付けの場合の側断面図であり、図8(B)はめっきの場合の側断面図である。

図 8 ( A ) の半田付けの場合は、半田を溶かした際のセルフアライメント効果があるため多少の位置ずれは許容される。一方、図 8 ( B ) のめっきの場合は、正確な配置決めが要求される。すなわち、半田付けの場合は、マウンタによるマウント速度を高速にすることができるが、めっきの場合は、マウンタによるマウント速度を低速にして正確性を重視する必要がある。このように、LSI の接続方法の違いによりマウンタの動作速度に制約が課せられ、この制約条件が制約条件情報部 2 4 に記憶される。

【 0 0 3 1 】

なお、ワイヤボンディングに関しては、カメラ認識による位置決めが行われるため、マウント処理については多少の位置ずれが許容される。すなわち、マウンタを高速で動作させることができる。

10

【 0 0 3 2 】

このように、制約条件情報部 2 4 に接続方法ごとの制約条件情報を記憶することで、制約条件を満たした高品質な設計を行うことが可能となる。

【 0 0 3 3 】

なお、上述した各制約条件はあくまで一例であり、配置するインスタンの種類やその接続方法に応じて夫々に対応する制約条件情報が記憶されるものである。また、制約条件情報の内容は、予め利用者により固定値として設定されてもよいし、インスタンのサイズ、配置情報等に基づいて、リアルタイムに演算により求められるようにしてもよい。例えば、レイヤの厚み、インスタンのサイズ(高さ)、要求される導電率等の情報に基づいて、最低限必要なビアの径のサイズを求めるといった演算が可能である。

20

【 0 0 3 4 】

以上のように、本実施形態に係る 3 次元回路情報記憶装置によれば、インスタンの 3 次元配置情報と接続方法に関する接続情報とを記憶するため、設計工程の段階で接続方法を確認することができると共に、以降の製造工程において接続情報にしたがって効率よく処理を行うことが可能となる。また、接続情報の内容に応じて、接続を行うための制約条件情報を記憶するため、インスタンスと配線の接続を事前にシミュレーションして、正確な設計を行うことができる。

【 0 0 3 5 】

( 本発明の第 2 の実施形態 )

本実施形態に係る製造装置について、図 9 ないし図 1 1 を用いて説明する。本実施形態に係る製造装置は、第 1 の実施形態に係る 3 次元回路情報記憶装置を用いたものであり、部品が表向きにセットされる表セット領域と、裏向きにセットされる裏セット領域とを有し、3次元回路情報記憶装置に記憶されている接続情報に基づいて、部品が表向きに配置されるか裏向きに配置されるかを判定し、その判定結果に基づいて、部品を表セット領域又は裏セット領域のいずれかの領域から取得して配置制御するものである。

30

【 0 0 3 6 】

図 9 は、3次元回路情報記憶装置及び製造装置の構成を示す機能ブロック図である。3次元回路情報記憶装置 1 は、第 1 の実施形態において説明した 3 次元回路情報を記憶する回路情報記憶部 8 3 と、3次元回路情報である配置情報や接続情報等の入力情報 8 1 を入力すると共に、回路情報記憶部 8 3 に記憶されている 3 次元回路情報を製造装置 8 4 に出力する入出力部 8 2 とを備える。製造装置 8 4 は、3次元回路情報記憶装置 1 からの情報を入力する情報入力部 8 5 と、入力された情報に基づいて部品を配置する際の表裏判定を演算する演算部 8 6 と、演算結果に基づいて動作部 8 8 の動作を制御する動作制御部 8 7 とを備える。

40

【 0 0 3 7 】

なお、入出力部 8 2 から出力される情報は、製造装置 8 4 の種類に応じて、当該製造装置 8 4 が直接読み込むことが可能な場合は情報をそのまま出力し、直接読み込むことが不可能な場合は製造装置 8 4 が読み込み可能な情報に変換されるようにしてもよい。

【 0 0 3 8 】

製造装置 8 4 に入力される 3 次元回路情報には、図 2 におけるインスタンス接続情報部

50

216の接続情報が含まれている。接続情報は、上述したように、半田付け、めっき、ワイヤボンディング等の情報が記憶されており、情報入力部85に入力される。演算部86は、入力された接続情報に基づいて、部品を表向きに配置するか裏向きに配置するかを演算する。

#### 【0039】

図10は、セットされた抵抗部品を演算部の演算結果に基づいて配置する処理を示す図である。図10(A)は裏向きにセットされた抵抗部品を半田付けで配線に接続する場合であり、図10(B)は表向きにセットされた抵抗部品をビアを介してめっきで配線に接続する場合を示す。図10(A)において、インスタスが抵抗部品で接続情報が半田付けであれば、抵抗部品の接触領域34a, 34bを下向きに(裏面を上向きにして)配置する。図10(B)において、インスタスが抵抗部品で接続情報がめっきであれば、抵抗部品の接触領域34a, 34bを上向きに(表面を上向きにして)配置する。

10

#### 【0040】

図10(A)において、製造装置84は3次元回路情報記憶装置1からの接続情報として半田付けの情報を取得し、図10(B)において、製造装置84は3次元回路情報記憶装置1からの接続情報としてめっきの情報を取得する。製造装置84は、抵抗部品が予め裏向きに收容されているリール91がセットされた裏セット領域と、抵抗部品が予め表向きに收容されているリール92がセットされた表セット領域とを有しており、図10(A)のように半田付けにより接続を行う場合は、動作制御部87が裏セット領域のリール91から部品を取得し、そのままの状態に配置する。一方、図10(B)のようにめっきにより接続を行う場合は、動作制御部87が表セット領域のリール92から部品を取得し、そのままの状態に配置する。

20

#### 【0041】

配置するインスタスがLSIの場合も抵抗部品の場合と同様である。具体的には、接続情報がワイヤボンディングやめっきであれば、LSIのパッドが上向き(パッド側を表面とすると、表面が上向き)になるように配置する必要があるため、LSIが表向きにセットされているパレットからLSIを取得し、そのままの状態に配置する。一方、接続情報が半田付けであれば、LSIのバンブ側が下向き(バンブ側を表面とすると、表面が下向き)になるように配置する必要があるため、LSIが裏向きにセットされているパレットからLSIを取得し、そのままの状態に配置する。なお、接続情報が半田付けである場合は、上述したように、高精度な位置決めが要求されるため、制約条件情報に基づいてマウンタの動作速度を遅くするといった制御を行うようにしてもよい。

30

#### 【0042】

すなわち、3次元回路情報記憶装置1から取得した接続情報(又は、必要な場合は制約条件情報)に応じて、動作制御部87が例えばアーム等の動作部88を動作制御することで、配置するインスタスの表裏面を判定し、正確且つ効率よく配置を行うことが可能となる。

#### 【0043】

次に、本実施形態に係る製造装置の動作について説明する。図11は、本実施形態に係る製造装置の動作を示すフローチャートである。図11において、まず、情報入力部85が3次元回路情報記憶装置1から接続情報を取得する(S1)。演算部86が、取得した接続情報に基づいて、配置するインスタスの表裏を判定する(S2)。この判定処理は、上述したように、インスタスの種類とその接続方法に基づいて行われる。具体的には、例えば、抵抗部品で半田付けの場合は配線との接続領域が下向き(裏面が上向き)となり、抵抗部品でめっきの場合は配線との接続領域が上向き(表面が上向き)となるように判定される。また、LSIでワイヤボンディング又はめっきの場合はLSIのパッド側が上向き(表面が上向き)となり、LSIで半田付けの場合はLSIのバンブ側が下向き(裏面が上向き)となるように判定される。動作制御部87は、表面側を上向きに配置する場合は、動作部88の動作を制御して表セット領域の部品(予め表面側が前面に收容されている部品)を掴んで取得し、そのまま配置する(S3)。一方、裏面側を上向きに配置

40

50

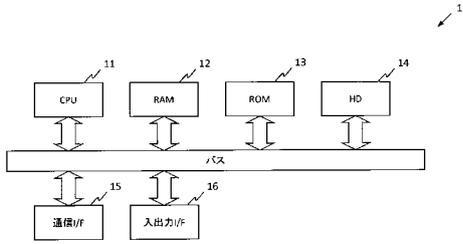
する場合は、動作部 8 8 の動作を制御して裏セット領域の部品（予め裏面側が前面に収容されている部品）を掴んで取得し、そのまま配置する（S 4）。全ての部品について上記の配置処理が完了するまで継続して行われ、全ての部品の配置処理が完了したら処理を終了する。

【符号の説明】

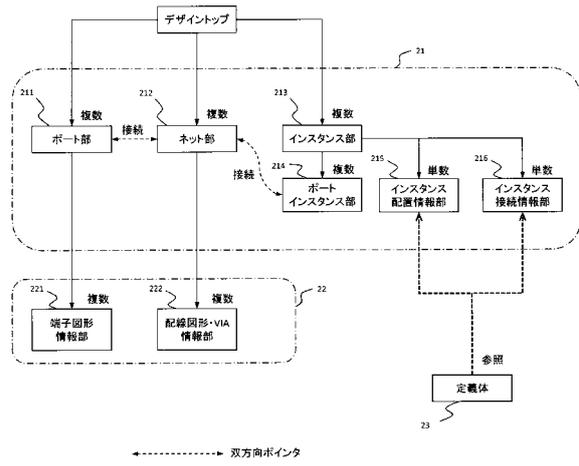
【0044】

1	3次元回路情報記憶装置	
1 1	C P U	
1 2	R A M	
1 3	R O M	10
1 4	H D	
1 5	通信 I / F	
1 6	入出力 I / F	
2 1	第 1 記憶部	
2 1 1	ポート部	
2 1 2	ネット部	
2 1 3	インスタンス部	
2 1 4	ポートインスタンス部	
2 1 5	インスタンス配置情報部	
2 1 6	インスタンス接続情報部	20
2 2	第 2 記憶部	
2 2 1	端子図形情報部	
2 2 2	配線図形・V I A 情報部	
2 3	定義体	
2 4	制約条件情報部	
3 1	抵抗部品	
3 2	抵抗体	
3 3 a , 3 3 b	端子部	
3 4 a , 3 4 b	接続領域	
3 5 a , 3 5 b	非接続領域	30
3 6 ( 3 6 a , 3 6 b )	配線	
5 1 a , 5 1 b	ビア	
7 0	チップ	
7 1	パッド	
8 1	入力情報	
8 2	入出力部	
8 3	回路情報記憶部	
8 4	製造装置	
8 5	情報入力部	
8 6	演算部	40
8 7	動作制御部	
8 8	動作部	
9 1 , 9 2	ルール	

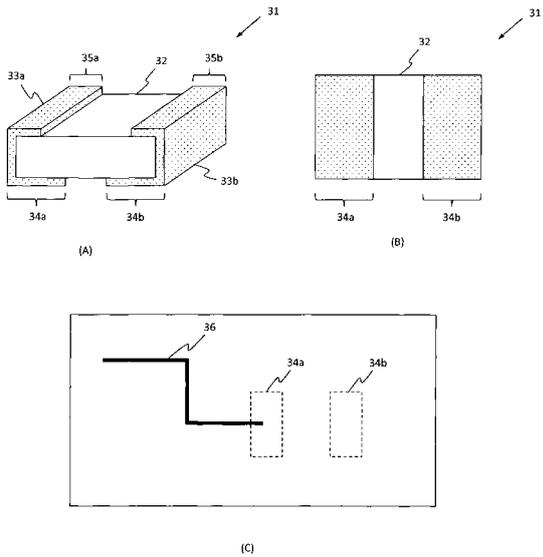
【図1】



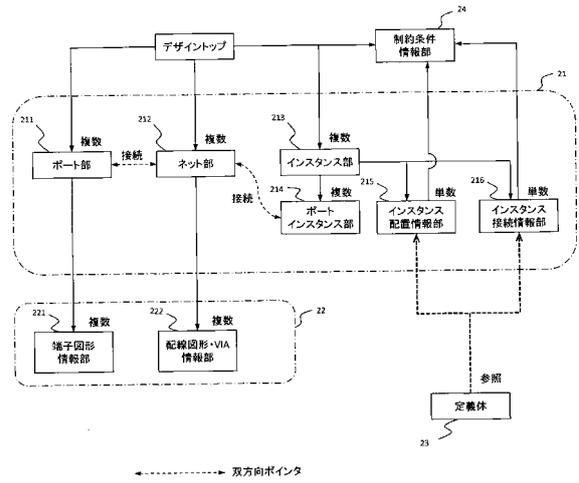
【図2】



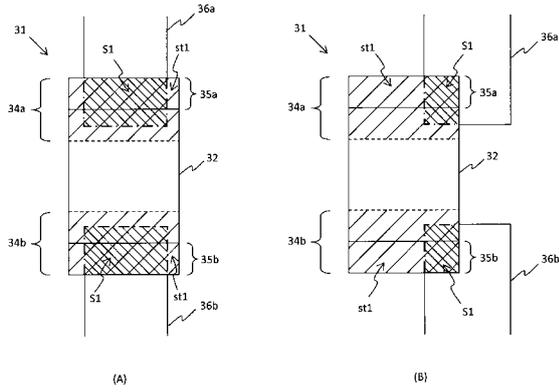
【図3】



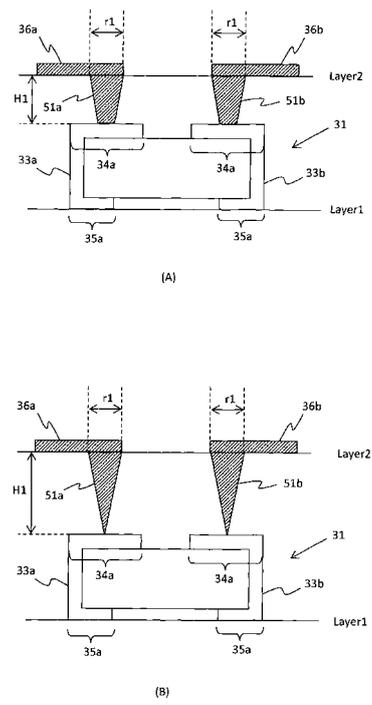
【図4】



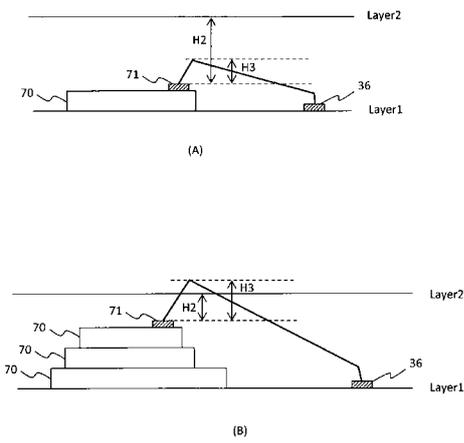
【図5】



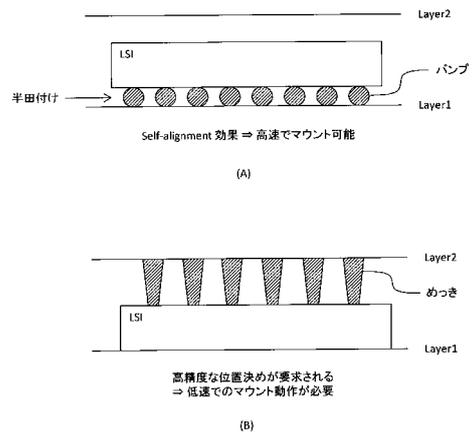
【図6】



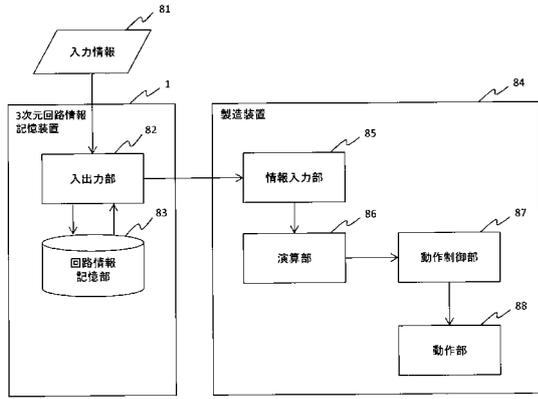
【図7】



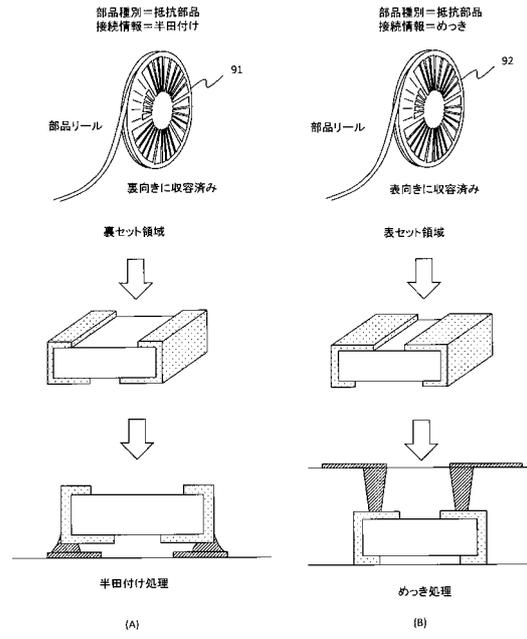
【図8】



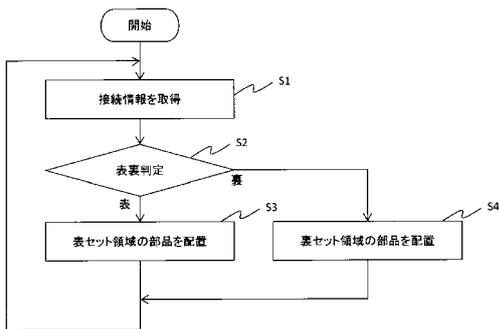
【 図 9 】



【 図 10 】



【 図 11 】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 6 F 17/50 6 5 2 K

(72)発明者 友景 肇  
福岡県福岡市城南区七隈八丁目19番1号 学校法人福岡大学内

(72)発明者 川瀬 英路  
東京都中央区入船一丁目1番26号 ケイレックス・テクノロジー株式会社内

(72)発明者 松澤 浩彦  
神奈川県横浜市都筑区荏田東2丁目25番1号 株式会社図研内

(72)発明者 楠 一弘  
愛知県知立市山町茶碓山19番地 富士機械製造株式会社内

(72)発明者 山崎 浩  
長野県上田市小泉81番地 日置電機株式会社内

Fターム(参考) 5B046 AA08 BA04 KA05  
5E353 BB01 BB03 BB04 HH11 HH51 JJ21